

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-019657

(43)Date of publication of application : 24.02.1981

(51)Int.Cl. H01L 27/06
H01L 29/72
H01L 29/78

(21)Application number : 54-095877

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.07.1979

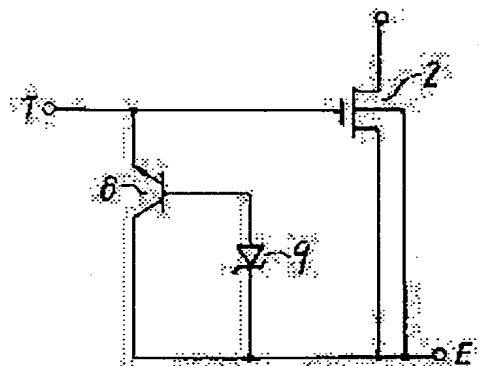
(72)Inventor : KOMATSU TAKEO
AKIYAMA TOSHIHIKO

(54) SEMICONDUCTOR IC

(57)Abstract:

PURPOSE: To protect an FET gate from an instantaneous high voltage caused by a static electricity charged on a human body by a method wherein an NPN-type transistor and a Zener diode are provided between an input terminal of an MISFET, with which the IC is constituted, and an earth terminal.

CONSTITUTION: The input terminal T is connected to a gate of the MISFET to be protected and the earth terminal E is connected to the source or drain of the element 2 and the substrate of the element 2. Then, in order to protect the element 2 gate, an emitter of a transistor 8 is connected to the input terminal T and a collector is connected to the earth terminal E respectively using an NPN-type transistor 8 and a Zener diode 9. In addition, the Zener diode 9 is connected between the base of the transistor 8 and the earth terminal E. As a result, when an overvoltage is applied on the input terminal, the transistor 8 bypasses it instantly and no damage is given to the element 2 gate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—19657

⑪ Int. Cl.³
H 01 L 27/06
29/72
29/78

識別記号

庁内整理番号
6426—5F
7514—5F
6603—5F

⑬ 公開 昭和56年(1981)2月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路

⑯ 特 願 昭54—95877

⑰ 出 願 昭54(1979)7月26日

⑱ 発 明 者 小松武生
伊丹市瑞原4丁目1番地三菱電
機株式会社北伊丹製作所内

⑲ 発 明 者 秋山俊彦

尼崎市南清水字中野80番地三菱
電機株式会社伊丹製作所内

⑳ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 入力信号が印加される入力端子にゲートが、基準電位点にソースがそれぞれ接続された被保護絶縁ゲート形電界効果トランジスタ素子、前記入力端子にエミッタが、基準電位点にコレクタがそれぞれ接続されたバイポーラ形半導体素子、このバイポーラ形半導体素子のベースと上記基準電位点との間に接続された定電圧素子を備えた半導体集積回路。

(2) 定電圧素子はゼナーダイオードであることとを特徴とする特許請求の範囲第1項に記載の半導体集積回路。

3. 発明の詳細な説明

この発明は半導体集積回路、特に絶縁ゲート形電界効果トランジスタ(以下MISFETと称する)を主要駆動素子とし、このMISFETのゲート破壊を防止できる回路の改良に関する。

一般に、MISFETはその構造上、例えばアルミニウムからなるゲートと基準とを一对の電極とし、かつその間に絶縁物を有する平行コンデンサとみなせるので、ゲートへ印加し得る電圧の大きさは自ずから限度がある。このため、ゲートへサージ等による異常電圧が印加された場合、ゲート破壊を起こすことがあるので、MISFETのゲート保護回路が必要となっていた。

第1図は、従来のMISFETのゲート保護回路を示す回路図である。図中、(1)はゲート破壊防止のために接続されたダイオード、(2)はMISFETであり、MISFET(2)のゲート(3)及びダイオード(1)の陽極が入力端子(4)に接続されている。また、MISFET(2)のソース・基板及びダイオード(1)の陰極は接地端子(5)に接続されている。このように、入力端子(4)と接地端子(5)との間にダイオード(1)を介挿することにより電流バイパス路を設け、MISFET(2)のゲートに過電圧が印加されるのを阻止し、ゲート破壊を防止する。

しかし、従来回路において、ダイオード(1)が

(1)

(2)

MISFET(2)のゲート破壊防止に有効に作用するためには、ダイオード(1)のブレイクダウン電圧 V_B をMISFET(2)のゲート破壊耐圧 V_M より低くする必要がある。しかし、この条件を満足させることは、以下に述べるように実装問題として非常に困難である。

すなわち、ダイオード(1)とMISFET(2)を同一基板内に形成したとき、ダイオード(1)のブレイクダウン電圧 V_B は基板の不純物濃度の関数となつてゐるが、基板の濃度はMISFETの諸特性に直接作用するため、使用できる基板の濃度範囲に自ずと限度がある。従つて、基板の濃度の関係から、ダイオード(1)のブレイクダウン電圧 V_B を80V以下にすることは非常に困難であつた。一方、MISFET(2)のゲート破壊耐圧 V_M は、ゲート絶縁膜の厚み及び絶縁膜中のピンホール等の有無により多少異なるが、ゲート絶縁膜の膜厚が1000Å程度のとき約50V程度になることがあり、ダイオード(1)による保護作用がなくなることがあつた。

ところで、MISFETのゲート破壊は人体等に帯電

(3)

した静電気によることが多い。この静電気によるMISFETのゲート破壊の状況を第2図の回路図を用いて説明する。図中、(3)は高電圧発生装置、(4)は人体の静電容量であり、通常100~200pFである。(5)は人体の内部抵抗及び接触抵抗であり、通常500Ω程度である。(6)はMISFET、(7)はリレーである。この回路では、高電圧発生装置(3)と容量(4)とがリレー(7)を介して閉回路を構成し、容量(4)、MISFET(6)及び抵抗(5)がリレー(7)を介して閉回路を構成している。

次に第2図に示した回路の動作について説明する。先ず、リレー(7)を高電圧発生装置(3)側に接触させ閉回路にすると、高電圧が容量(4)に蓄積される。次に、リレー(7)をMISFET(6)側に接触させ閉回路とする。すなわち、人間がMISFET(6)の入力端子に触れたことになる。このとき、容量(4)に蓄えられた電荷が抵抗(5)を通してMISFET(6)に印加されることになり、MISFET(6)のゲート破壊の原因となつた。

このMISFET(6)に印加される電圧は、リレー(7)が

(4)

切換つた瞬間には非常に高電圧であるが、電荷を放電するに従つて急速に減衰するものである。従つて、MISFETのゲート破壊を防止するためには、恒定的な高電圧に対してゲートを保護するよりも瞬間的な高電圧に対し速応性がよく、所定の電荷を放電し、MISFETのゲートにゲート破壊耐圧 V_M 以上の高電圧が印加されないようにすることが重要となる。

この発明は上記の点に照みてなされたものであり、その目的とするところは、人体に帯電した静電気等による瞬間的な高電圧の印加からMISFETのゲートを保護し、ゲート破壊耐圧が50V程度以下つても確実にゲートを保護し得る構成の簡単な破壊防止回路を有する半導体集積回路を提供することである。

以下、図面を用いてこの発明を詳述する。第8図はこの発明の一実施例を示す回路図である。

図中、(8)はNPN形トランジスタであり、エミッタが入力端子(7)に、コレクタが接地端子(9)に夫々接続されている。(9)はゼナードダイオードであり、

(5)

トランジスタ(8)のベースと接地端子(9)間に接続されている。

次に第8図の実施例回路の動作について説明する。入力端子(7)に第2図の等価回路で示される高電圧発生回路より負極性の高電圧が印加されると、その電圧によりゼナードダイオード(9)が瞬間的に導通し、トランジスタ(8)にベース電流を流すのでトランジスタ(8)は導通し、入力端子(7)に印加された負電荷を接地端子(9)に放電する。その後、直ちに入力端子の電圧は減衰するので、ゼナードダイオード(9)は阻止能力を回復し、トランジスタ(8)のベース電流を供給しなくなり、従つてトランジスタ(8)は非導通となる。

ところで、上述したように、人体の静電気容量は100~200pFと小さく、これに蓄えられている電荷量も小さいため、NPN形トランジスタ(8)の導通期間が短くても瞬間的な高電圧をバイパスし、MISFETのゲートを破壊から保護することができる。特に、上述の動作が、第1図に示した従来回路のダイオード(1)のブレイクダウン電圧 V_B

(6)

より低い電圧でおこる点に注意すべきである。即ち、入力端子(7)に印加される電圧が上昇した場合第1図に示した従来回路のダイオード(1)がブレークダウンするよりも早く第8図の実施例回路のNPN形トランジスタ(6)が導通することになり、MISFET(2)のゲートに高電圧が印加されないことになり、たとえMISFET(2)のゲート破壊耐圧 V_M が50V程度にまで低下していても、傾斜にゲートを保護することができる。

第4図は第8図の回路を集積回路装置に組込んだ場合の一実施例を示す縦断面図である。図中、4はN形導電性を有するシリコン基板で、MISFET(2)の基板(8)となり、又、NPN形トランジスタ(6)のコレクタとなる。このN形基板(8)に例えばボロン等のP形不純物を拡散して、NPN形トランジスタ(6)のベース及びゼナーダイオード(9)の一部となる深いP形領域10と、MISFET(2)のドレイン及びソースとなる浅いP形領域11、12が形成されている。そして、深いP形領域10内に、NPN形トランジスタ(6)のエミッタとなるN形領域13が、また

(7)

ゼナーダイオード(9)の一部となるN形領域14が形成されている。また、浅いP形領域11、12とN形領域13を除いた表面はシリコン酸化膜15でおおわれている。さらに、シリコン酸化膜15の一部(16a)は、膜厚が他の部分よりも薄く形成しており、ゲート酸化膜となる。そして、上記の如く構成された基板の表面には、アルミニウム等の導電膜17、18が電極引出し用等の配線として選択的に形成してある。なお、(7)は入力端子を、(8)は接地端子を示している。

上記実施例では定電圧素子としてゼナーダイオードの例を示したが、これに限られず他の定電圧素子に代置しうことは言うまでもない。

「又、以上の説明は、N形基板上に、MISFET及びNPN形トランジスタを形成した場合について、おこなったが、P形基板を用いた場合でも、バイポーラトランジスタをPNP形の構成にする等をおこなえば同様の保護作用をもつことは、明らかである。」

以上のように、この発明による半導体集積回路

(8)

は入力信号が印加される入力端子にゲートが、基準電位点にソースがそれぞれ接続された保護絶縁ゲート形電界効果トランジスタ素子と、前記入力端子にエミッタが、基準電位点にコレクタがそれぞれ接続されたバイポーラ形半導体素子と、このバイポーラ形半導体素子のベースと上記基準電位点との間に接続された定電圧素子とからなり、バイポーラ形半導体素子により迅速かつ確実に入力端子に印加された過電圧をバイパスするため、MISFETのゲートを破壊から防止できる効果がある。

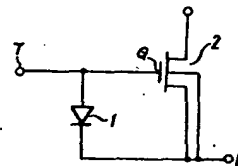
4. 図面の簡単な説明

第1図は従来の保護防止回路を有する半導体集積回路を示す回路図、第2図は人体等の静電気がMISFETに印加される原理を説明するための回路図、第3図は本発明による半導体集積回路の一実施例を示す回路図、第4図は第3図に示した回路半導体装置に組込んだ場合の一例を示す縦断面図である。図中、同一部分又は相当部分には同一符号を付している。(2)…MISFET、(6)…NPNトランジスタ、(9)はゼナーダイオード。

代理人：馬 野 信 一 (外1名)

(9)

第1図



第2図

